

文章编号:1007-2780(2013)01-0099-06

EDMA 在图像数据快速传输中的应用

但永平,彭红涛*,王东云,刘芳华

(中原工学院 电子信息学院,河南 郑州 450007, E-mail: peter201010@qq.com)

摘 要: 在图像处理中图像数据交换量大,图像数据传输是图像采集处理系统的关键环节。EDMA 是 DSP 中用于实现数据快速交换的重要技术,具有独立于 CPU 的后台批量数据传输的能力。文章基于 TI 公司 TMS320DM642 芯片的图像采集处理系统,利用 EDMA 的数据传输方式实现视频数据信号高速实时传输。介绍了 DSP 的外部存储器接口与 FPGA 的 FIFO 存储器有机结合进行数据传输,分析了其设计的整体结构与逻辑控制的功能,并着重分析了基于 EDMA Ping-Pong 数据传输方式的原理及其应用。另外,EDMA 中断服务程序调用 CPU 对已搬移完成的图像数据块进行处理,不仅提高了数据的传输效率,而且节约了 CPU 资源,使 DSP 的高性能得到了充分发挥,从而为视频信号处理的实时性奠定了基础。

关 键 词: EDMA; DSP; FIFO; 数据传输; Ping-Pong

中图分类号: TP274 **文献标识码:** A **DOI:** 10.3788/YJYXS20132801.0099

Application of EDMA in Rapid Transmission of Image Data

DAN Yong-ping, PENG Hong-tao*, WANG Dong-yun, LIU Fang-hua

(School of Electric and Information Engineering, Zhongyuan University of Technology,
Zhengzhou 450007, China, E-mail: peter201010@qq.com)

Abstract: In image processing, large image data need be exchanged among memories, so the transmission of image data is key link in image capture and processing system. EDMA is important technology in DSP that is used to realize the rapid exchange data, and it has the ability of transmission data that isn't dependent on CPU. In this paper, the video signal capture and processing system is designed based on TMS320DM642 chip of TI company. And in the system the EDMA data transmission mode is utilized to realize the high-speed and real-time transmission for the video signal data. The combination with the EMIFA of DSP and FIFO storage of the FPGA which is used in the data transmission is introduced in this paper, and the design of overall structure and the function of logic control are analyzed. Especially the principle, realization method and application based on the EDMA Ping-Pong data transmission mode is analyzed. In addition, the program of EDMA interrupt service is used in the image to process the moved image data, and the CPU is mainly used in video signal processing and system function control. This method not only improved the transmission efficiency of the data but also make the high-speed performance of DSP get full application, so as to lay a foundation for the real-time performance of video signal processing.

Key words: EDMA; DSP; FIFO; data transmission; Ping-Pong

收稿日期: 2012-05-14; 修订日期: 2012-06-14
基金项目: 郑州市重点科技攻关基金(No. 083SGYG25124-3)
作者简介: 但永平(1976—),男,江西九江人,博士,讲师,主要从事电子技术方面的研究。
* 通信联系人, E-mail: phongt2006@163.com

1 引 言

随着数字信号处理器(DSP)性能迅速提高,其应用范围在不断扩大,DSP 已经被广泛运用于图像与语音、通讯、控制、时域与空域、有线与无线等各个领域^[1-6]。在 DSP 中 EDMA (Enhanced Direct Memory Access)是指,在没有 CPU 参与的情况下,实现数据在 DSP 的片内存储器(L2 SRAM)、片内外设以及外部存储器(如 SDRAM、FIFO)内数据之间搬移的一个功能部件。

EDMA 是为满足图像处理需求而设计的架构。由于图像采集了大量数据,以及在图像处理过程中大量的中间数据、结果数据也会被产生。这时,DSP 就需要外扩外部存储器用于存放这些数据。为了提高图像处理系统的实时性,就需要存储器之间的数据进行快速搬移,EDMA 正能满足这一功能需求,可以节约 CPU 宝贵资源应用于图像数据的处理。尽管利用软件也可实现数据的传输,但是这样占用了 CPU 对图像处理的宝贵时间,CPU 对图像处理方面的高性能就会受到了抑制。而 EDMA 搬移数据是靠 DSP 的独特设计的硬件完成,这几乎不消耗 CPU 的宝贵时间。EDMA 控制器可以独立于 CPU 处理 L2 Cache/ SRAM 和 C64x 外设之间的数据传输,这样就大大的节约了 CPU 的宝贵资源^[7-8],不必把大量的时间用于数据的传输,能够满足实时图像数据高速传输的要求,这对图像处理的实时性至关重要。

2 图像采集的接口电路设计

由于相机时钟和 DM642 数据传输时钟的不同步,DM642 的读取数据比相机的采集数据的速度快得多,如果直接读取就会出现数据丢失和混乱,因此,需要把相机采集的图像数据先存入缓冲存储器。而 FPGA 内部具有丰富的存储单元,易于实现各种存储器(如 FIFO、双口 RAM 等)^[9],FIFO 是一种数据像从管道流过一样的先入先出的数据缓存器,把 FIFO 作为高速数据缓冲存储器,数据的存储速度很快^[10],它与常用存储器的最大区别是没读/写地址线,这样使用起来十分方便。

FPGA 作为协处理器,完成视频图像的接收、存储、预处理及逻辑控制,使设计具有更大的灵活性^[11-13]。同时,FPGA 集成的 FIFO 减少了

PCB 板的布线,这就为 FIFO 的控制和电路板的布线带来了很大的方便。当 FIFO 图像 RGB 数据存储满时就发出一个 FIFO 半满信号给 DSP,触发 DSP 的 EDMA 事件把 FIFO 内数据搬移到 SDRAM,因为 DSP 的 EMIFA 数据传输时钟比相机数据写入时钟快得多,FIFO 的数据较之写入速度快得多会很快搬移完成,搬移 FIFO 数据的同时数据也正写入 FIFO,当半满空间内数据读走后写入的数据前移,当 FIFO 写半满时就又发出一个 FIFO 半满信号触发 EDMA 事件搬移事件到 SDRAM 中,这样如此循环的工作方式,这样保证了采集的图像数据在传输过程中不会被丢失。

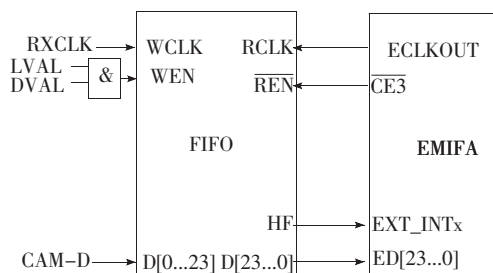


图 1 EMIFA 与 FIFO 的硬件接口
Fig. 1 Hardware interface of EMIFA and FIFO

系统具体电路如图 1 所示,LVAL 和 DVAL 由 LVDS/TTL 转换后得到,当 LVAL 和 DVAL 都为高时 WEN 就为高电平,当给相机的 RXCLK 上升沿送到 FIFO 时,FIFO 的其中一半的存储空间写入 24 bit 视频数据 CAM_D,由于这里数据总线是 32 位,而 RGB 图像数据只有 24 位,所以我们设计在 RGB24 位图像数据后 8 位都自动写入 0,这样保证了数据传输时对齐方便传输,当 FIFO 一半被写满时,FIFO 的 HF 发出一个半满信号到 DSP 到 GPINT4/EXT_INT4 脚触发中断,从而触发一个 EDMA 事件,FIFO 映射到 DSP 的 CE3 空间上,REN 低电平有效时,且在 RCLK 的上升沿,RCLK 时钟信号由 DSP 的 ECLKOUT1 送给的,DSP 可读取 FIFO,通过 EDMA 把数据由 FIFO 搬移到 SDRAM,进入图像处理模块,然后由 CPU 处理搬移完成数据块,EDMA 也是采用乒乓方式与 CPU 相互配合工作。

3 基于 EDMA 的数据传输

3.1 EDMA 控制器

DM642 芯片的 EDMA 增强到 64 个通道,

EDMA 控制器结构上有这些特点:EDMA 可对 64 个通道进行独立的控制;通道之间可实现相互连接,即 EDMA 通道可被连接起来,构成一个数据传输链,每个通道都需由一个特定的事件来触发,形成事件同步。利用 EDMA 可实现片内存储器(L2 SRAM)、片内外设,及外部存储空间之间的数据搬移。

1 个事件相当于 1 个同步信号,由它触发一个 EDMA 通道以便于开始数据传输。若有多个事件同时发生,由事件编码器对它们进行处理(将同时发生的事件进行排队)。在 EDMA 参数 RAM 中存放有与事件相关的传输参数,这些参数被送入地址产生硬件,从而产生对 EMIF/外设读写操作所需的地址。

3.2 EDMA 的传输机制

EDMA 的 64 个通道每 1 个通道都有 1 个事件与之关联。由这些事件触发相应通道的传输。EDMA 控制器是基于 RAM 结构。参数 RAM (Parameter RAM)的容量是 2 KB,总共可以存放 85 组 EDMA 传输控制参数。多组参数还可以彼此连接起来,从而实现某些数据流的传输,例如循环缓存和数据排序等。

一旦捕获到某个事件,控制器将从 PaRAM 顶部的 64 组入口参数中读取数据对应的控制参数送往地址发生器硬件。1 组 EDMA 传输参数总共 6 个字 192 bit。可以通过 32 bit 的外设总线对 EDMA 的参数对 RAM 进行访问。EDMA 支持 64 路独立触发的事件传输,总共有 85 个参数对“Linking”或“Chaining”进行配置。Link 和 Chain 是 EDMA 两个重要功能,区别是 Link 是 1 个事件触发同一个通道加载参数进行数据的搬移,而 Chain 是当 1 通道的数据搬移完成时触发另 1 通道加载控制参数进传输。

3.3 EDMA 的 Ping-Pong 传输方式设计

由于 EDMA 的搬移数据速度远大于相机的时钟频率,这时就会出现 CPU 等待数据空闲,让 CPU 为了等待数据传输而浪费宝贵的资源和影响图像处理的实时性。与 C620X 和 C670X 的 DMA 的自动重新初始化模式相比,DM642 提供了一种更为方便灵活的连接传输机制即 LINK,相同或不同的配置的传输控制参数可以相互连接起来,组成为同一通道数据传输服务的传输链,一旦该通道的数据传输完了便自动加载所连接的

RAM 参数,进行该通道下一次 EDMA 传输。这一功能给某些传输应用带来了很大的方便,特别是数据的循环缓冲搬移,由此让 EDMA 一边传输数据和 CPU 处理着已经搬移完成的一块数据,二者同时进行,设计了 Ping-Pong 双缓存区的数据传输方式,该方式实现了 EDMA 连续不断的将数据搬移到 SDRAM 中,同时 CPU 可以一直不断处理搬移来的图像数据。

在图像数据传输和处理过程中,CPU 数据处理必须和 EDMA 数据传输保持同步,要求在 CPU 处理图像数据之前 EDMA 已经把数据搬移到数据缓冲区内,在处理已完成数据同时,EDMA 也在搬移数据。CPU 数据处理和 EDMA 传输数据同时进行,是通过 Ping-Pong 双缓冲方式来实现的。

Ping-Pong 双缓冲方式具体实现方法如下:在外部存储器 SDRAM 中划分两个大小相等的空间,空间大小根据一次事件传输数据量需要分配,一个是 Ping-buffer 缓冲区和一个是 Pong-buffer 缓冲区,两个缓冲区交替工作,当 EDMA 把 Ping-buffer 缓冲区搬移满后,调用 EDMA 中断服务程序由 CPU 处理已搬移好的数据,与此 CPU 在处理 Ping-buffer 存储区内数据同时 EDMA 正在把数据从 FIFO 搬到 SDRAM 的 Pong-buffer 缓冲区中。当 Pong-buffer 缓冲区内数据存满后,同理启动中断服务程序让 CPU 处理已经搬移完成的 Pong-buffer 缓冲区内图像数据,与此同时 EDMA 也继续把 FIFO 数据搬移到 SDRAM 的 Ping-buffer 缓冲区内,把上次存储旧数据覆盖掉。Ping-Pong 双缓冲的数据搬移方式是有 EDMA 的 LINK 功能实现的,LINK 可以将不同或相同的 EDMA 传输控制参数连接起来,一旦通道的传输完成了,便自动加载下一次的 EDMA 传输控制参数,这便组成了为同一通道服务的传输链,可以方便实现数据的连续高速搬移。EDMA 的 Ping-Pong 双缓冲传输数据模式,EDMA 通道有 Ping 传输参数和 Pong 传输参数,Ping 参数用于把数据从 FIFO 中搬到 SDRAM 的 Ping-buffer 缓冲存储区内,Pong 参数用于把数据从 FIFO 中搬移到 SDRAM 的 Pong-buffer 缓冲存储区内,Ping 和 Pong 这两组参数除在目的地址不同外,其他的地址参数、选项参数、帧计数和单元计数等参数都相同。Ping 和 Pong

参数的源地址都为 FIFO 的起始地址。SDRAM 中 Ping-buffer 起始地址作为 Ping 参数的目的地址,SDRAM 中 Pong-buffer 起始地址作为 Pong 参数的目的地址,Pong 参数的入口地址作为 Ping 参数的连接地址,Ping 参数的入口地址作为 Pong 参数的连接地址。一旦一次 Ping 或 Pong 的 EDMA 传输完成后,那么当前传输参数就失效,同时另一组传输控制参数被加载到 EDMA 通道,继续进行图像数据的传输,如此连续不断循环。

在本 DM642 系统中,采用 Ping-Pong 双缓冲数据传输技术,当 Ping 或 Pong 其中一个传输结束,便启动中断服务程序由 CPU 处理已搬移完成的一组图像数据。

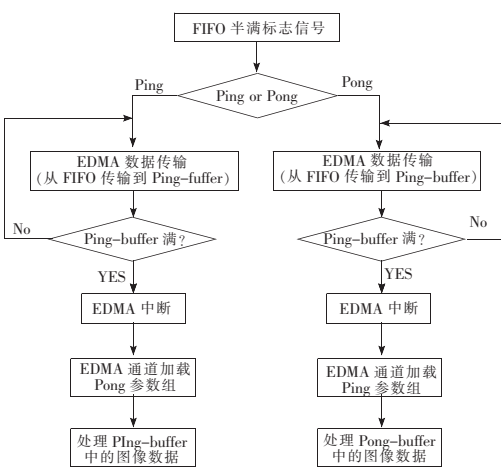


图 2 Ping-Pong 双缓冲数据传输工作流程图
Fig.2 Flow chart of Ping-Pong data transmission

如图 2 所示为 EDMA 通道 4 传输链的 Ping-Pong 双缓冲数据传输工作流程图。这样 EDMA 在搬移数据同时,CPU 可以进行图像处理。配置 Ping 和 Pong 两个参数组中的连接(Link)和传输完成中断(TCINT)选项都为 1,则 EDMA 连接和 EDMA 的 TCC 中断都被使能。本系统中,由 FPGA 的 FIFO 的半满信号标志 IR 被连接到外部中断 GPINT4/INT4,而 GPINT4/INT4 和 EDMA 的通道 4 对应,EDMA 通道 4 数据传输链工作模式如下:当 FIFO 的一半空间装满时,FIFO 会送出半满信号,触发 EDMA 事件,Ping 传输参数首先被装载,从而触发第一次的 EDMA 事件搬移数据到 Ping-buffer 数据存储区。当 SDRAM 中的 Ping-buffer 存储区数据存满时,就发出 EDMA 传输结束中断,CPU 开始处理 Ping-

buffer 缓冲区内已搬移完成的图像数据,由 LINK 连接功能 Pong 参数被加载,继续把数据搬移到 SDRAM 中 Pong-buffer 缓存区内。同理,当 Pong 传输完成后,CPU 开始处理 Pong-buffer 缓存区内的图像数据,EDMA 继续搬移数据至 Ping-buffer,周而复始如此循环,图像数据源源不断被搬移到目的缓冲区,保证了 CPU 当前处理的图像数据为实时数据。

EDMA 的 Ping-Pong 数据搬移方式实现的子程序如下:

```
#define nTccNum 4
EDMA_Handle hEdma;
EDMA_Handle hEdmaPing;
EDMA_Handle hEdmaPong;
GPIO_Handle hGpio;
void initEdmaChannel()
{
    hEdma = EDMA_open(EDMA_CHA_GPINT4,
        EDMA_OPEN_RESET);
    EDMA_intClear(nTccNum);
    EDMA_intDisable(nTccNum);
    EDMA_intEnable(nTccNum);
    EDMA_enableChannel(hEdma);
    hEdmaPing = EDMA_allocTable(-1);
    hEdmaPong = EDMA_allocTable(-1);
    EDMA_config(hEdma,&myedmaconfig);
    EDMA_config(hEdmaPing,&mypingconfig);
    EDMA_config(hEdmaPong,&mypongconfig);
    EDMA_link(hEdma,hEdmaPing);
    EDMA_link(hEdmaPing,hEdmaPong);
    EDMA_link(hEdmaPong,hEdmaPing); //父参数->子参数
}
```

4 通过 Ping-Pong 传输方式采集实时图像数据实验及分析

在自主设计的 DSP+FPGA 图像采集处理系统上,基于 CCS 3.3 开发环境下,利用其观察工具去验证采集图像数据的正确性。首先,在硬件工作正常情况下创建图像采集的项目,进行相关配置和编写、调试、编译程序。进行图像采集的测试,测试图像采集与传输环节及相关硬件设置

正确性和 Ping-Pong 传输方法设计是否达到设想目标,为后续图像处理创造必要的条件。

图像采集处理实验系统开发包括 3 部分组件:软件开发环境平台、仿真器、目标板。软件开发环境平台提供了程序代码的编写和编译及调试环境,本系统中集成开发环境采用的是 CCS 3.3,它提供了代码编写编译、调试和跟踪的编译器环境;仿真器用于 DSP 软件开发环境平台与目标板之间的连接,起到将程序代码加载到 DSP 外扩的 FLASH 存储器的功能;目标板自行设计图像采集处理功能的 DSP+FPGA 电路系统如图 3。

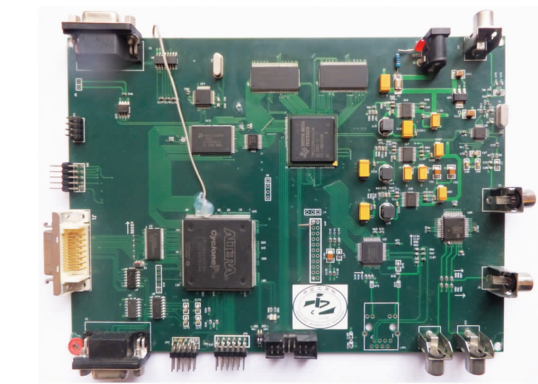


图 3 DSP 嵌入式系统电路板
Fig. 3 DSP embedded system circuit board

本图像采集处理系统实验平台如图 4 所示,主要由 CCD 线阵相机、DSP 电路板、点亮灯管作为扫描对象、Wintech 仿真器、PC 机运行开发环境 CCS 构成,这些构成了整个测试平台,在该系统下编写图像数据采集、传输、存储程序,利用 CCS 3.3 提供了存储空间数据的查询,尤其是利用内存数据可图形化显示的功能,Image 方式可将二维的数据以图像的形式显示,这样很直观。

该图像采集处理嵌入式系统采用 TI DM642 作为核心处理器,FPGA 为协处理器以及一些外

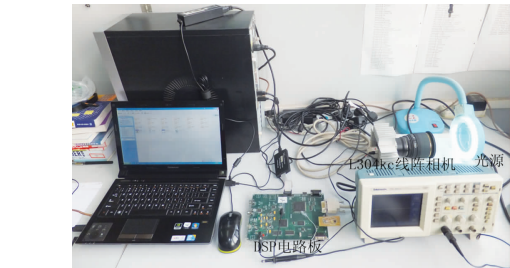


图 4 本项目实验平台
Fig. 4 Experiment platform of this project

围的辅助电路,构成 DSP+FPGA 图像采集处理系统,CCD 线阵相机采集的图像信号经数据图像转换芯片,转换为 24 bit 的 RGB 数据,然后把 RGB 数据读到 FPGA 的 FIFO,采用 EDMA 技术把数据从 FIFO 搬移到 SDRAM,DSP 可对搬移完成存储在 SDRAM 内的数据进行图像算法处理,系统图如图 5。

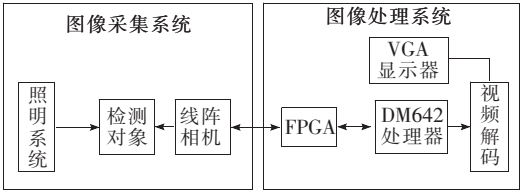


图 5 DSP 图像采集处理嵌入式系统框图
Fig. 5 Diagram of image capture and processing

在 DSP 嵌入式实验系统平台已经构建好基础上,随后采集图像并进行图像特征分析,这里用一只点亮的灯管作为采集对象,因灯管部分亮度很大(R、G、B 的值就比较大,R、G、B 的值在 0x00~0xFF 之间),所以 CCS 显示的灯管点亮区域图像是较亮。因为自然光照射下线阵 CCD 相机采集时显示亮度很小(自然光在不开灯管的情况下,CCS Memory 查看得到 RGB 的 3 个亮度分量大约为 0x08),所以在 CCS 显示图像是很接近黑色。

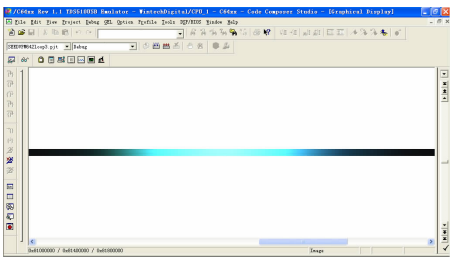


图 6 本采集卡 Ping-Pong 方式采集的实时图像
Fig. 6 Captured real-time image in ping-pong mode

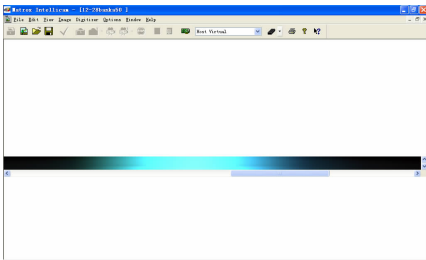


图 7 Odyssey 计算机图像采集卡采集图像
Fig. 7 Captured image by Odyssey card

在本系统中,采用 Ping-Pong 传输数据的方式,把线阵相机扫描一只点亮灯管的数据,先存储到 FIFO 缓冲区中,然后从 FIFO 中搬移到 SDRAM 中,经过数据的分离处理后,在 CCS 开发环境下显示的图像如图 6 显示的图像是线阵相机扫描的 16 线的实时图像,与加拿大 Matrox 生产 Odessey 计算机图像采集卡(Camera Link 接口)采集的图像一致,该进口采集卡采集的点亮灯管图像如图 7 所示。本项目图像采集处理板与 Matrox 生产的 Odessey 计算机图像采集卡采集的同一对象光照条件基本相同位置的 R、G、B 数值大小也基本相同。并且,本项目采集高速运动目标的实时图像数据已用于后续的图像处理和图像识别,得到验证 EDMA 的 Ping-Pong 传输方式是高效的,有效解决了数据快速传输的

瓶颈问题。

5 结 论

利用 TMS320 C6000 DSP 的 EDMA 核心技术,大幅提高了数据在存储器间的存储访问传输速度,同时也使 CPU 的高性能得到了充分发挥,为图像处理过程中大量数据快速传输奠定了基础,尤其对图像处理的实时性尤为关键。并对 EDMA 进行具体的应用,利用 EDMA 的 Ping-Pong 传输方式的设计满足了采集图像实时性的要求,数据传输高效且与 CPU 处理图像数据同时进行,这些方面具有实用的意义。同时为了识别的实时性与传输效率更高,在图像数据搬移时,针对不同应用对象,传输控制参数配置仍需进一步探究。

参 考 文 献:

- [1] 郭本振,李声晋,卢刚,等. 基于 DSP 和 LCD 触摸屏的车载信息系统设计[J]. 液晶与显示,2011,26(1):83-87.
- [2] 程作霖,郑天津,刘云川,等. 微投影视频信号的 USB 传输系统设计[J]. 液晶与显示,2012,27(1):81-86.
- [3] 初华,刘春光,袁东,等. 基于 DSP 的液晶显控终端设计[J]. 液晶与显示,2011,26(4):501-504.
- [4] 张贵祥,金光,郑亮亮,等. 高速多通道 CCD 图像数据处理与传输系统设计[J]. 液晶与显示,2011,26(3):397-403.
- [5] 薛盼盼,王晓东,刘文光,等. 空间遥感仪器便携式数据采集试验系统研究[J]. 液晶与显示,2012,27(2):275-262.
- [6] 王鸣浩,王志,吴小霞. 基于 SOPC 的高帧频数字图像采集显示系统[J]. 液晶与显示,2011,26(5):650-654.
- [7] 刘嵩,喻胜辉,刘海华,等. 基于 EDMA 的多通道数据传输的实现[J]. 计算机测量与控制,2009,17(7):1429-1434.
- [8] 张永光,张晓蕾,徐健健. DM642 图像数据传输的实现和优化[J]. 科学技术与工程,2007,7(17):4484-4486.
- [9] 林祥金,张志利,朱智. 基于 DSP 和 FPGA 的 CCD 图像采集系统设计与实现[J]. 机电工程技术,2007,36(12):68-70.
- [10] 柳伟生,孙秋柏,吴庆洪,等. DSP 在图像高速采集中的应用[J]. 自动化技术与应用,2005,24(12):22-23.
- [11] 苏宛新,程灵燕,程飞燕. 基于 DSP+FPGA 的实时视频信号处理系统设计[J]. 液晶与显示,2010,25(1):145-148.
- [12] 熊文彬,蒋泉,曲建军,等. 基于 FPGA 实现的视频显示系统[J]. 液晶与显示,2011,26(1):92-95.
- [13] 张秋林,夏靖波,邱婧,等. 基于 ARM 和 FPGA 的双路远程视频监控系统设计[J]. 液晶与显示,2011,26(6):780-784.